



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11219207 A

(43) Date of publication of application: 10 . 08 . 99

(51) Int. Cl.

G05B 15/02

G06F 15/16

(21) Application number: 10019512

(71) Applicant: YASKAWA ELECTRIC CORP

(22) Date of filing: 30 . 01 . 98

(72) Inventor: HARA KENJI

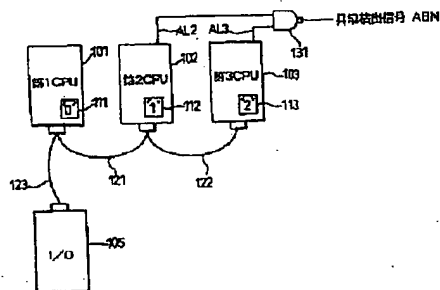
(54) MULTI-CONTROLLER SYSTEM

COPYRIGHT: (C)1999,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide the multi-controller system of simple constitution without the need of constituting elements other than plural controllers for constituting a multi-system and the equipment of a low order connected to the plural controllers.

**SOLUTION:** A second CPU 102 and a third CPU 103 other than a master controller possess the same state as a first CPU 101 which is the master controller by monitoring transmission information on a network and executing the same program. Also, in the case that the master controller breaks down, the CPU of the next order becomes the master controller based on the order of the order holding means of the other controllers and controls the network. Further, the second CPU 102 and the third CPU 103 monitoring the transmission information on the network compare it with the transmission information of the first CPU 101 which is the master controller and issue an alarm or the like when they are different.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-219207

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl. <sup>8</sup>	識別記号	F I	
G 0 5 B 15/02		G 0 5 B 15/02	M
G 0 6 F 15/16	4 7 0	G 0 6 F 15/16	4 7 0 B

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平10-19512

(22) 出願日 平成10年(1998) 1月30日

(71) 出願人 000006622

株式会社安川電機

福岡県北九州市八幡西区黒崎城石2番1号

(72) 発明者 原 滋二

福岡県北九州市八幡西区黒崎城石2番1号

株式会社安川電機内

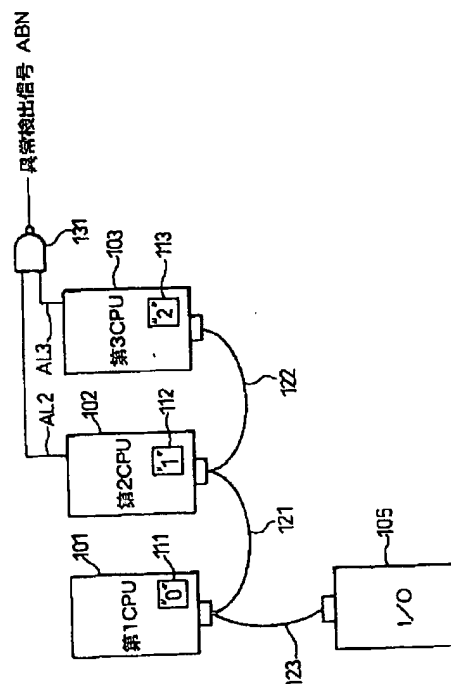
(74) 代理人 弁理士 荻野 平 (外4名)

(54) 【発明の名称】 マルチコントローラシステム

(57) 【要約】

【課題】 マルチシステムを構成する複数のコントローラおよび該複数のコントローラに接続される下位の機器以外の構成要素を不要とした簡易な構成のマルチコントローラシステムを提供することを目的とする。

【解決手段】 マスタコントローラ以外の第2CPU102および第3CPU103は、ネットワーク上の伝送情報をモニタして同一プログラムを実行することでマスタコントローラである第1CPU101と同じ状態を保有する。また、マスタコントローラがダウンした場合には、他のコントローラの順位保持手段の順位に基づき次順のCPUがマスタコントローラとなってネットワークの制御を行う。さらに、ネットワーク上の伝送情報をモニタしている第2CPU102および第3CPU103は、マスタコントローラである第1CPU101の伝送情報と比較して差異があれば警報等を発する。



## 【特許請求の範囲】

【請求項1】 マスタとして機能し得る複数のコントローラと、

前記マスタのスレーブとなる下位機器と、

前記複数のコントローラおよび前記下位機器間を接続して情報伝送を行う伝送手段と、を備えたマルチコントローラシステムにおいて、

前記複数のコントローラは、コントローラ毎に予め設定される順位を保持する順位保持手段を有し、

前記稼働可能な複数のコントローラの順位保持手段に保持された順位に基づいて、マスタとして機能する一のコントローラが決定され、

前記一のコントローラ以外の他のコントローラは、前記伝送手段を介して該一のコントローラの入出力情報をモニタし、該一のコントローラと同一の状態を保有することを特徴とするマルチコントローラシステム。

【請求項2】 前記伝送手段を介したモニタにより、前記マスタとして機能する一のコントローラがダウンしたことを検出した場合には、前記他のコントローラのコントローラの順位保持手段に保持された順位に基づいて、マスタとして機能するコントローラが決定されることを特徴とする請求項1に記載のマルチコントローラシステム。

【請求項3】 前記複数のコントローラは、同一のプログラムを実行し、

前記他のコントローラは、前記一のコントローラと常に同一の状態を保有することを特徴とする請求項1または2に記載のマルチコントローラシステム。

【請求項4】 前記複数のコントローラは、同一のハードウェアおよびソフトウェアを備え、それぞれ単一のコントローラとしても動作することを特徴とする請求項1、2または3に記載のマルチコントローラシステム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、FA等の分野でタンドム制御を行うマルチコントローラシステムに係り、特に、マルチシステムを構成する複数のコントローラおよび該複数のコントローラに接続される下位の機器以外の構成要素を必要としない簡易な構成のマルチコントローラシステムに関する。

## 【0002】

【従来の技術】従来のマルチコントローラシステムとしては、例えば図2に示すような構成のものがある。同図は、第1CPU201および第2CPU202を具備するデュアルシステムを採用したコントローラ(PLC)のシステムであり、第1CPU201および第2CPU202は、それぞれバス221および222を介してスイッチモジュール(以下、SWモジュールという)204に接続され、またSWモジュール204は、バス223を介してI/O装置205と接続されている。本従来

例のシステムにおいては、SWモジュール204は、バス221および222を介して第1CPU201および第2CPU202が出力する信号を比較して、両者が同値であれば該出力信号をそのままI/O装置205に出力し、また両者に差異があれば第1CPU201および第2CPU202の内プライオリティの高いほうの出力信号をI/O装置205に出力すると共に、システムの異常を検知している。尚、第1CPU201および第2CPU202の内の何れか一方がダウンした場合には、他方の出力信号をI/O装置205に出力すると共に、I/O装置205からの信号を該他方のCPUに供給することはいうまでもない。

## 【0003】

【発明が解決しようとする課題】しかしながら、上記従来のマルチコントローラシステムにあっては、スイッチモジュール(SWモジュール204)という専用のハードウェアを必要とし、またデュアルシステムしか構成できないという問題点があった。本発明は、上記従来の問題点に鑑みてなされたものであって、マルチシステムを構成する複数のコントローラおよび該複数のコントローラに接続される下位の機器以外の構成要素を不要とした簡易な構成のマルチコントローラシステムを提供することを目的としている。

## 【0004】

【課題を解決するための手段】上記課題を解決するために、本発明の請求項1に係るマルチコントローラシステムは、マスタとして機能し得る複数のコントローラと、前記マスタのスレーブとなる下位機器と、前記複数のコントローラおよび前記下位機器間を接続して情報伝送を行う伝送手段とを備えたマルチコントローラシステムにおいて、前記複数のコントローラは、コントローラ毎に予め設定される順位を保持する順位保持手段を具備し、前記稼働可能な複数のコントローラの順位保持手段に保持された順位に基づいて、マスタとして機能する一のコントローラが決定され、前記一のコントローラ以外の他のコントローラは、前記伝送手段を介して該一のコントローラの入出力情報をモニタし、該一のコントローラと同一の状態を保有するものである。また、請求項2に係るマルチコントローラシステムは、請求項1に記載のマルチコントローラシステムにおいて、前記伝送手段を介したモニタにより、前記マスタとして機能する一のコントローラがダウンしたことを検出した場合には、前記他のコントローラのコントローラの順位保持手段に保持された順位に基づいて、マスタとして機能するコントローラが決定されるものである。また、請求項3に係るマルチコントローラシステムは、請求項1または2に記載のマルチコントローラシステムにおいて、前記複数のコントローラは、同一のプログラムを実行し、前記他のコントローラは、前記一のコントローラと常に同一の状態を保有するものである。さらに、請求項4に係るマルチコ

ントローラシステムは、請求項1、2または3に記載のマルチコントローラシステムにおいて、前記複数のコントローラは、同一のハードウェアおよびソフトウェアを備え、それぞれ単一のコントローラとしても動作するものである。

【0005】本発明の請求項1、2、3および4に係るマルチコントローラシステムでは、複数のコントローラおよび下位機器間を伝送手段を介して接続してネットワークシステムを構成し、複数のコントローラの順位保持手段には、それぞれ所定の順位を予め保持しておき、稼働可能な複数のコントローラの順位保持手段に保持された順位に基づいて、マスタとして機能する一のコントローラを決定し、該一のコントローラ以外の他のコントローラは、伝送手段を介して該一のコントローラの入出力情報をモニタし、該一のコントローラと同一の状態を保有するようにしている。特に、請求項2に係るマルチコントローラシステムでは、伝送手段を介したモニタによってマスタとして機能する一のコントローラがダウンしたことを検出した場合には、他のコントローラの順位保持手段に保持された順位に基づいて、マスタとして機能するコントローラを決定するのが望ましく、また特に、請求項3に係るマルチコントローラシステムでは、複数のコントローラにおいては同一のプログラムを実行し、他のコントローラが、一のコントローラと常に同一の状態を保有することが望ましく、さらに、請求項4に係るマルチコントローラシステムでは、複数のコントローラが、同一のハードウェアおよびソフトウェアを備え、それぞれ単一のコントローラとしても動作可能であることが望ましい。

【0006】このように、マスタ以外の他のコントローラは、ネットワーク上の伝送情報をモニタして同一プログラムを実行することでマスタのコントローラと同じ状態を保有することとなり、また、マスタのコントローラがダウンした場合には、他のコントローラの順位保持手段の順位に基づき次順のコントローラがマスタとなってネットワークの制御を行うことにより、マルチコントローラシステムを構築することが可能となる。さらに、ネットワーク上の伝送情報をモニタしている他のコントローラは、マスタのコントローラの伝送情報と比較して差異があれば警報等を発することにより上記従来のマルチコントローラシステムと同等の動作を実現することができる。結果として、マルチシステムを構成する複数のコントローラおよび該複数のコントローラに接続される下位の機器以外のハードウェア構成要素を不要とした簡易な構成のマルチコントローラシステムを実現することができる。

【0007】

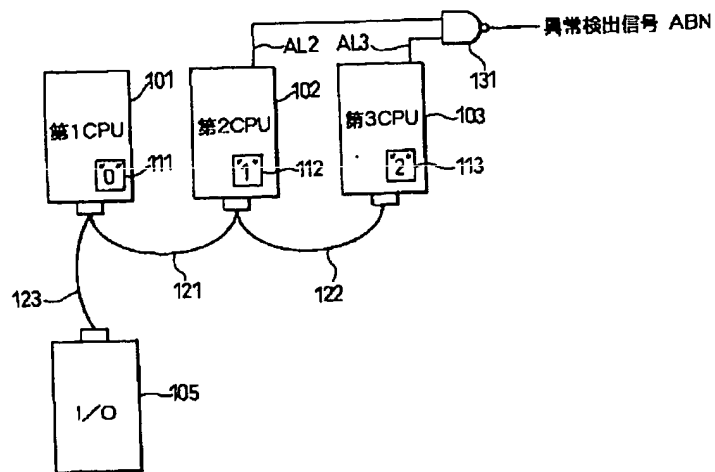
【発明の実施の形態】以下、本発明のマルチコントローラシステムの実施の形態について、図面を参照して詳細に説明する。図1は本発明の一実施形態に係るマルチコ

ントローラシステムの構成図である。図1において、本実施形態のマルチコントローラシステムは、マスタとして機能し得る複数のコントローラ、すなわち第1CPU101、第2CPU102および第3CPU103と、マスタのスレーブとなる下位機器としてのI/O装置105と、第1CPU101、第2CPU102、第3CPU103およびI/O装置105間を接続して情報伝送を行う伝送手段121、122、123とを備えたネットワークシステムとして構成されている。尚、第1CPU101、第2CPU102および第3CPU103は、同一のプログラムを実行するもので、それぞれ同一のハードウェアおよびソフトウェアを備えて構成され、それぞれが単一のコントローラとしても動作可能である。

【0008】また、第1CPU101、第2CPU102および第3CPU103内には、それぞれCPU毎に予め設定される優先順位を保持する順位保持手段111、112、113を具備している。図1の設定では、第1CPU101の優先順位が"0"で最も高く、第2CPU102の優先順位は"1"、第3CPU103の優先順位は"2"となっており、したがって、本実施形態のマルチコントローラシステムでは、優先順位が最高位の第1CPU101がマスタコントローラとして動作することとなる。尚、順位保持手段111、112、113は、例えばロータリスイッチ等で実現され、システム構築者がシステム構築の際に予め設定しておくものである。

【0009】マスタコントローラの第1CPU101はネットワークシステムの制御を行うと共にI/O装置105との情報伝送を行う。一方、マスタコントローラ以外の第2CPU102および第3CPU103は、第1CPU101と同一プログラムを実行し、かつネットワーク上の伝送情報をモニタすることでマスタのコントローラと同じ状態を保有することとなる。また、第2CPU102および第3CPU103は、マスタコントローラの第1CPU101の伝送情報をモニタして、差異があればそれぞれ警報信号AL2、AL3を有効（アクティブ）とすることにより、NANDゲート131の出力である異常検出信号ABNを有効にする。すなわち、第2CPU102および第3CPU103が共に警報信号AL2およびAL3を有効とした時には、異常検出信号ABNが有効となることによりシステムとしての異常処理が行われることになる。この異常処理には、例えばマスタコントローラである第1CPU101の停止等がある。また、ネットワーク上の伝送情報には現在マスタコントローラとなっているCPUの優先順位情報も含まれており、マスタコントローラの第1CPU101がダウンした場合には第2CPU102がマスタコントローラと設定され、さらに第2CPU102がダウンした場合には第3CPU103がマスタコントローラと設定され

【図1】



【図2】

